

場效電晶體簡介

一般場效電晶體(field effect transistor, 簡稱 FET)和雙極電晶體一樣都有三隻接腳,不過工作原理卻完全不同。FET 的控制接腳稱為閘極(gate, 簡稱 G 極),顧名思義閘極的功用就如同水壩的閘門;而水壩上方的水庫可以提供水,對應到 FET 的另一接腳稱做源極(source, 簡稱 S 極);水壩下方水的出口,對應到 FET 的第三隻腳稱為汲極(drain, 簡稱 D 極)。水流呢?那就對應到電流嘍!不過半導體中的電流可以是電子流或電洞流,利用電子流來工作的稱為 n 通道場效電晶體(n-channel FET),利用電洞流來工作的稱為 p 通道場效電晶體(p-channel FET)。n 通道 FET 的源極提供電子,經過 n 型通道(channel),到達汲極,電流方向是由汲極流向源極;p 通道 FET 的源極則提供電洞,經過 p 型通道(channel),到達汲極,電流方向是由源極流向汲極。通道的特性和其附近的電場有關,該電場可由閘極的電位來控制,故此類電晶體稱為場效電晶體。圖 1 為 n 和 p 通道 FET 的示意圖。由於 FET 工作時只利用到多數載體,和少數載體的特性無關,故均屬於單載體元件(unipolar devices)。

圖 1 n 和 p 通道 FET 的結構比較圖。

FET 的構想在 BJT 被發明前就有了,只是那時材料及材料間介面缺陷都無法控制,一直沒有實用的 FET 結構出現。近年來由於材料及磊晶技術的進步,我們可以將材料及介面的缺陷及雜質降得很低,FET 得到很大的發展。

FET 的種類除了依導通用的載體種類來分外,還可依照閘極的結構來分。FET 閘極結構有很多種類,這裡介紹兩種最常見的,一是逆向偏壓的 pn 接面,另一種是閘極金屬、絕緣氧化物和半導體形成類似電容的結構。前者稱為接面場效電晶體(junction field effect transistor, 簡稱 JFET),後者稱為金氧半場效電晶體(metal-oxide-semiconductor field effect transistor, 簡稱 MOSFET)。

1 接面場效電晶體的構造、原理與特性

這裡我們以 n 通道 JFET 為例來做說明,圖 2(a)為一個 n 通道 JFET 的結構示意圖,源極與汲極以 n 型半導體通道連結,閘極則是 p⁺型半導體,個別再藉由歐姆接點接到外界電路。改變閘極的偏壓 V_G (圖中兩個閘極連結到同一電位)可以調整空乏區的寬度(假設源極的電壓設在 0V,且源極的電壓很小),因而 n 型半導體通道的厚度 t 會改變,源極與汲極間的電阻 $R_{DS} = \rho L / Wt$ (ρ 是 n 型半導體的電阻率, W 是通道寬度, L 是通道長度)也跟者改變。閘極的電壓愈負, pn 接面的空乏區愈寬,由於通道的 n 型摻雜濃度遠較 p⁺型半導體的小,故增加的空乏區大都在 n 型區中,通道厚度 t 變小, R_{DS} 愈大。當閘極電壓負到一臨界值,空乏區會寬到使 n 型通道完全消失,這時稱此通道被夾止(pinch off),電阻值變成很大,這時的閘極電壓值稱為夾止電壓(pinch-off voltage) V_p 。這裡要注意, JFET

的操作絕不允許閘極和源極或汲極間的 pn 接面被導通，閘極的直流電流幾乎為零（只有 pn 接面的逆向飽和電流），否則源汲極間的導電特性便無法控制。又 n 通道 JFET 的源極定義為提供通道電子的電極，而汲極為電子流入者，電流由汲極經通道流向源極，故汲極的電位一定較源極為高，即 $V_{DS}=V_D-V_S>0$ ，假如 $V_{DS}<0$ ，我們必須將源汲極對調以符合他們的定義。圖 2 (b)是 n 通道 JFET 的電路符號。

圖 2 (a) n 通道 JFET 的結構示意圖，(b)電路符號。

圖 3 是加上偏壓的 n 通道 JFET， V_{GS} 控制 pn 接面的逆向偏壓，即通道的厚度 t ， V_{DS} 則控制汲極與源極間的電流 I_D 。圖 4 為當 V_{DS} 很小時，對於不同 V_{GS} 的典型 I_D 對 V_{DS} 圖。當 V_{GS} 由 0V 變得較負時，通道變薄， R_{DS} 增加，對於相同的 V_{DS} ， I_D 變小；當 V_{GS} 小於 V_p (在這裡是 -2.0V)，通道完全被夾止，不再導通， $I_D=0$ ，這個操作區稱為截止區，和 BJT 類似。

圖 3 加上偏壓的 n 通道 JFET

圖 4 當 V_{DS} 很小時，對於不同 V_{GS} 的 I_D 對 V_{DS} 圖。這個 JFET 的 V_p 為 -2V。

上面討論的是 V_{DS} 很小的情形，閘極源極和閘極汲極間的逆向偏壓差不多，通道上的電位變化不大，源極到汲極間的通道厚度變化不大，通道可視為一截面均勻的電阻，故 I_D 對 V_{DS} 圖為直線。圖 5 為 V_{GS} 固定在某電壓（例如 -1V）， V_{DS} 在幾個由小到大的值，對應的空乏區與通道的變化，以及在 I_D 對 V_{DS} 圖上的位置（藍色圓點）。若 V_{DS} 變大， V_{GS} 和 V_{GD} 大小不同， $0>V_{GS}>V_{GD}(=V_{GS}-V_{DS})$ ，或 $|V_{GS}|<|V_{GD}|$ ，也就是說靠近汲極的 pn 接面逆向偏壓較靠近源極的來得大，靠近汲極的空乏區比較寬，因此通道的厚度也較薄。其他通道中沿源極與汲極連線上每一點的電位介於源極與汲極的電位之間，通道厚度也介於其間，如圖 5(b)所示。由於通道平均厚度變薄，通道電阻較 V_{DS} 小的情形大，故原來 I_D 對 V_{DS} 直線會隨 V_{DS} 的增加而向下彎曲。

圖 5 V_{GS} 固定在某電壓， V_{DS} 在幾個由小到大的值，對應的空乏區與通道的變化，以及在 I_D 對 V_{DS} 圖上的位置（藍色圓點）。

若 V_{DS} 繼續增加到使得 $V_{GD}=V_p$ ，或寫成

$$V_{DS} - V_{GS} = -V_p \quad (1)$$

靠近汲極的通道剛好完全被夾止，n 形區被分成兩邊，如圖 5 (c)所示。這時的 V_{DS} 記做 V_{DSS} 。

V_{DS} 再繼續增加，通道被夾止的長度 ΔL 會略微變大，但和總長度 L 相比幾乎可以忽略，和源極連接的導電通道的長度及形狀和 V_{DS} 關係不大，也就是說導電通道的電阻在這個操作偏壓範圍是固定的。而且閘極與圖 5 (d)中之 X 點（指在

導電通道最靠近被夾止區域空乏區的點)的電位差維持在 V_p ，和 V_{DS} 也無關，通道兩端的電位差 V_{XS} 維持不變($=V_{DSS}$)，所增加的 V_{DS} 大部分都降在 ΔL 範圍內之空乏區。綜合上述討論，當 V_{DS} 增加到比 $V_{GS}-V_p(=V_{DSS})$ 大以後，導電通道電阻與其端電壓都與 V_{DS} 無關，通過的電流 I_D ，當然也與 V_{DS} 無關，故 I_D 對 V_{DS} 圖呈一水平直線。這個操作區間稱為恆流(constant-current)區或飽和(saturation)區，這裡要注意和前面 BJT 的飽和區完全無關。對應 V_{DS} 比 $V_{GS}-V_p(=V_{DSS})$ 小的區域， I_D 會隨 V_{DS} 改變，較像電阻的特性，稱為線性(linear)區或歐姆(ohmic)區。

有些讀者或許會對圖 5(c)和(d)的導通情形發生這樣子的疑問，在汲極部分的通道已經被夾止了，形成空乏區，電子怎麼能由源極到達汲極呢？事實上，空乏區只是不能提供導電載體而已，並不是說載體不能通過空乏區，甚至電子由通道進入被夾止的區域還會被電場加速掃到汲極去。圖 6 是對應圖 5(d)偏壓情況下，也就是操作在飽和區，由源極經通道、X 點、夾止區、到汲極的電子電位能分佈圖，電子由電位能高處向低處流動。圖中可以看出電位能在 n 型通道區變化較小，也就是電場較小；在被夾止的區域，電位能突然下降，有很大的電場，可以將進入此區的電子加速掃到汲極。讀者可以和 BJT 的操作原理比較，JFET 的夾止區和 BJT 的基極與集極間的空乏區特性很類似。

圖 6 n 型通道 JFET 操作在飽和區，由源極經通道、X 點、夾止區、到汲極的電子電位能分佈圖。

圖 7 是對於不同 V_{GS} 的 I_D 對 V_{DS} 圖。線性區與飽和區的分界電壓 $V_{DSS}(=V_{GS}-V_p)$ 和 V_{GS} 有關， V_{GS} 下降， V_{DSS} 也會跟著下降，圖中的虛線即線性區與飽和區的分界線。這個圖也可以看成是以 V_{GS} 為輸入電壓（輸入埠是閘極與源極），控制輸出電流 I_D 的輸出特性曲線（輸出埠是汲極與源極），輸入輸出埠共用源極，故稱為共源極輸出特性曲線(common-source output characteristics)。

圖 7 對於不同 V_{GS} 的 I_D 對 V_{DS} 圖。虛線為線性區與飽和區的分界線。

在圖 7 中飽和區的部分，很容易可以看出，等間距的 V_{GS} 變化， I_D 的變化並非等間距的，而且 $V_{GS}-V_p$ （即 V_{DSS} ）愈大 I_D 變化的間距愈大。圖 8 是在飽和區的 I_D 對 V_{GS} 的轉換特性曲線，此曲線可以用一拋物線的部分來近似，即 V_{GS} 在 V_p 和 0 之間， I_D 和 $(V_{GS}-V_p)^2$ 成正比，或寫成

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_p} \right)^2 \quad (2)$$

其中 I_{DSS} 為 V_{GS} 為 0 時在飽和區的汲極電流，並注意 V_p 對 n 通道 JFET 是負的，且 V_{GS} 也必須保持負的，以免閘極與源極間的 pn 接面導通。

圖 8 n 通道 JFET 在飽和區的 I_D 對 V_{GS} 轉換特性曲線。

p 通道 JFET 的工作原理和 n 通道相同，只是通道是由 p 型半導體形成，導通時帶正電的電洞由源極經通道流入汲極，電流方向亦同，源極電位必須較汲極為高。控制的閘極是由 n⁺型半導體形成，要將通道夾止閘極必須加上足夠的正電壓，也就是說 V_p 是正的。所以 p 通道 JFET 除電流和偏壓的極性和 n 通道 JFET 相反，其他特性均類似。

2 金氧半場效電晶體的構造、原理與特性

MOSFET 應該是人類使用最多的電晶體種類，特別是在電腦及通訊相關的電子設備中，大量的這種電晶體開關幫助我們處理、運算及記憶大量的數據。由於 MOSFET 的結構特別適合被縮小化，而且功率需求也小，在同一晶片上製作上千萬個電晶體開關變得可行。

MOSFET 控制通道的方式和 JFET 不同，但元件特性有許多相同之處。這裡我們以 n 通道 MOSFET（簡稱 NMOS）為例來介紹他的構造與原理。圖 9 (a) 為一典型的 NMOS 的結構示意圖。閘極是由金屬、氧化層和半導體依序疊在一起所形成類似電容的結構（氧化層當做介電質），故命名為金氧半場效電晶體。閘極只要加上足夠的正電壓，即可在半導體內靠近氧化層的介面上，吸引足夠多的導電電子形成通道，使源極與汲極的 n⁺區導通。故控制閘極的電壓，等效上就是控制氧化層內的電場，就可以控制源極與汲極之間的導電特性。基板本體(body) 有時也會接出一隻腳，使 MOSFET 變成四隻腳的元件，在大部分的應用中，基板本體會和源極接在一起，使源極、汲極和基板本體間的 pn 接面永遠是不導通的，如此 MOSFET 就變成和 JFET 類似的三隻腳元件。圖 9 (b) 包括三隻接腳與四隻接腳的 NMOS 電路符號。

圖 9 (a) 為一典型的 NMOS 的結構示意圖。(b) 包括三隻接腳與四隻接腳的 NMOS 電路符號。

由於 MOSFET 中，導電電子是在靠近介面的通道運動，因此氧化層與半導體接面必須製作得非常平整。現代的半導體技術能夠在矽晶圓的表面形成結構緻密的二氧化矽(SiO₂)層，而且介面的品質可以有效地被控制，故常用的 MOSFET 元件均是以矽晶圓做基板材料。

下面我們將較仔細的介紹 n 通道 MOSFET 的工作原理以及元件在不同偏壓情形的變化。

當閘極沒加偏壓（相對於基板本體或與之連結之源極），源極與汲極間只是像兩個反向串接的 pn 接面，互不導通，NMOS 在所謂的截止(cut off)狀態，如圖 10(a)，其中還顯示了 n⁺型源極與汲極各和 p 型基板間 pn 接面的空乏區。

圖 10 不同閘極偏壓下，空乏區與通道形成之示意圖。(a) $V_{GS}=0$ ，(b) $V_{GS}<V_{th}$ ，(c) $V_{GS}=V_{th}$ ，(d) $V_{GS}>V_{th}$ 。

在閘極與基板本體（和源極相接）間慢慢加上正電壓，由於閘極的結構類似電容，閘極的金屬導體會堆積一些正電荷，而在氧化物絕緣層另一邊，則會吸引等量的負電，我們可以看成是吸引了導電電子，但電子在很短時間內即被多數載體電洞復和了，或者是電洞被閘極的正電荷趕跑了，不管哪一種看法，結果都是在靠近氧化層的 p 型半導體內形成空乏區，所帶的負電都來自電洞被游離的受子摻雜，如圖 10 (b)，這裡先討論汲極與源極電位差很小的情形。源極與汲極間仍然不導通，NMOS 在截止區。

如果閘極的正電壓持續增加，到達一特定的臨界電壓 V_{th} (threshold voltage)，在氧化層與半導體的介面會開始出現導電電子層，如圖 10 (c)。以後再增加的閘極電壓就不再用來改變空乏區的大小，而是用來增加導電電子層的電子數目，如圖 10 (d)。這時源極與閘極可藉由此導電電子層形成之通道導通。由閘極的電壓變化，可以將原本 p 型半導體，轉變成具導電電子的 n 型通道，此導電通道我們稱為反轉層(inversion layer)。

閘極電壓加到什麼程度反轉層才會形成呢？這必須考慮在半導體靠近氧化層介面的電子電位能受到閘極電壓影響產生的變化。假設沒有加閘極電壓時，氧化層和半導體中均無電場，電子在 p 型半導體中（遠離源極和汲極處）的電位能分佈應是平的，如圖 11 (a)，圖中 z 軸方向代表電子電位能，另兩軸是標示在半導體中的位置。電子不喜歡處在氧化層中，也就是說那裡的電位能較高，故在進入氧化層的介面上有一個像牆一樣很高的位障，阻止電子進入氧化層。靠近源極或汲極的 n^+ 半導體處，電子電位能較在 p 型半導體中為低，這裡讀者可以參較在 pn 二極體中的討論。圖 11 只畫出靠近源極附近的電位能分佈狀況，在汲極和源極電位差不大的情形下，在汲極附近的電位能分佈狀況也類似。介面通道區的電子電位能太高，導電電子被侷限在源極與汲極的 n^+ 區，不能互相導通。

圖 11 NMOS 中，對於不同閘極偏壓，電子電位能在半導體中的分佈圖。
(a) $V_{GS}=0$ ，(b) $V_{GS}<V_{th}$ ，(d) $V_{GS}>V_{th}$ 。導電電子無法進入氧化層，故氧化層用一極高的位障表示。

對閘極開始加正電壓時，氧化層中會有一朝向半導體基板的電場，如圖 11(b) 所示，電子在閘極金屬的電位能會變低，靠近介面的 p 型半導體區的電子電位能也會被往下拉，電位能面彎曲的部分就是空乏區的部分。當閘極的電壓足夠高，即超過 V_{th} 時，靠近介面的半導體區的電子電位能會下降到使源極（ n^+ 區）中的導電電子能夠流入通道區，如圖 11(c) 所示，形成反轉層，源極與汲極間遂能導通。

圖 12(a) 是在不同的閘極偏壓，靠近氧化層的半導體中，電子電位能沿著源極、通道中點 C 到汲極的分佈改變；圖 12(b) 則是由 C 點、沿著和介面垂直方向，朝向基板方向的電子電位能變化，虛線是由源極到 p 型半導體基板的電位能變化。通道中點 C 在圖 10(a) 及 11(a) 中也有標出來。從圖 12 中很容易看出通道區

和源極電子電位能的差別，而閘極電壓就是用來調整在氧化層與半導體介面通道的電子電位能。這裡還有一點要說明，在 V_{GS} 超過 V_{th} 後，再增加的電壓除了持續在閘極金屬層有正電荷儲存外，在半導體區也必須增加等量的負電荷，由於此時反轉層已形成，負電荷很容易由源極進入通道，所費之能量遠較改變空乏區產生負電荷來得小，因此空乏區寬度就不再變化了。

圖 12 NMOS 中，對於不同閘極偏壓，電子電位能在半導體中，(a) 沿著源極、通道中點 C 到汲極，以及 (b) 由 C 點、沿著和介面垂直方向，朝向基板方向的分佈圖。(1) $V_{GS}=0$ ，(2) $V_{GS}<V_{th}$ ，(3) $V_{GS}=V_{th}$ ，(4) $V_{GS}>V_{th}$ 。(b) 中之虛線是由源極到 p 型半導體基板的電位能變化。

瞭解了 NMOS 的基本工作原理，下面我們可以開始討論他的電流電壓的特性。圖 13 是不同閘極偏壓 (V_{GS}) 的 I_D 對 V_{DS} 曲線，這個圖例中 NMOS 的臨界電壓 V_{th} 為 2V，讀者可以和圖 7 比較，JFET 和 MOSFET 的特性相當類似。當 $V_{GS}>V_{th}$ 時，源汲極間開始導通，考慮源極和汲極電位差不大的情形，反轉層的電子密度約和 $(V_{GS}-V_{th})$ 成正比，因此通道的電阻和 $(V_{GS}-V_{th})$ 成反比，故在 V_{DS} 很小的區域， I_D 對 V_{DS} 的關係幾乎為一條直線，而且對相同的 V_{DS} ， $(V_{GS}-V_{th})$ 愈大則導電電子愈多， I_D 愈大。

圖 13 不同閘極偏壓 (V_{GS}) 的 I_D 對 V_{DS} 曲線，這個 NMOS 的臨界電壓 V_{th} 為 2V。

當 V_{DS} 變大時，和 JFET 的情形類似， I_D 對 V_{DS} 的曲線也會向下彎，原因和 JFET 也有類似之處。考慮 V_{GS} 固定在 3V 的情形， V_{DS} 很小時，整個通道上的電位差不多，閘極金屬到通道上任一點的電位差也都一樣，通道上的導電電子密度分佈很均勻，如圖 14 (a) 所示。圖 14 是當 $V_{GS}>V_{th}$ 固定時，對於不同 V_{DS} ，沿著通道的電位、導電電子濃度及電位能變化曲線。當 V_{DS} 增大時，通道上的電位會由源極向汲極方向變高，閘極金屬到通道的電位差在靠近汲極處較小，因此在靠近汲極處通道的導電電子密度變小。圖 14 (b) 是 $V_{GD}(=V_{GS}-V_{DS})>V_{th}$ 的情形，靠近汲極的通道電子密度較小，整個通道的電阻較 V_{DS} 很小時為大，故 I_D 對 V_{DS} 的曲線會向下彎曲。當 $V_{GD}=V_{th}$ ，如圖 14(c)，最靠近汲極的反轉層消失，通道被夾止。如果 V_{DS} 繼續增加， V_{GD} 變得比 V_{th} 小，靠汲極被夾止的區域 ΔL 會略微變大，形成空乏區，但 $\Delta L \ll L$ ，如圖 14(d) 所示，反轉層消失的點 X 的電位符合 $V_{GX}=V_{th}$ ，和 V_{DS} 無關，也就是說反轉層兩端之電位差 V_{XS} 不隨 V_{DS} 改變，而且反轉層之電子濃度分佈與尺寸大小也不隨 V_{DS} 改變，故通過之電流 I_D 不隨 V_{DS} 改變。靠近汲極通道夾止後再增加的 V_{DS} ，大部分都落在被夾止部分的空乏區，電子電位能到此區也會有一個很大的下降，導電電子到此區會被加速掃到汲極。

圖 14 當 NMOS 之 $V_{GS}>V_{th}$ 固定時，對於不同 V_{DS} ，沿著通道的電位、導電電子濃度及電位能變化曲線。(a) $V_{DS}=0$ ，(b) $V_{GD}(=V_{GS}-V_{DS})>V_{th}$ ，(c) $V_{GD}=V_{th}$ ，(d) $V_{GD}<V_{th}$ 。

圖 13 中標示 $V_{GS}=3.0V$ 的曲線上，標有(a)、(b)、(c)與(d)四點，分別對應圖 14 中相同編碼圖形的偏壓情形。(a)和(b)的偏壓並不會使反轉層消失，通道和電阻類似， I_D 隨 V_{DS} 增加，稱為歐姆區或線性區；在 V_{DS} 比(c)點大的區域， I_D 幾乎不隨 V_{DS} 改變，稱為飽和區或恆流區。歐姆區與飽和區的交界電壓 V_{DSS} 必需符合 $V_{GD}=V_{GS}-V_{DSS}=V_{th}$ ，即 $V_{DSS}=V_{GS}-V_{th}$ ， V_{DSS} 隨 V_{GS} 變大，如圖 13 中之虛線。

和 JFET 類似，MOSFET 是利用閘極偏壓控制源汲極間導通特性的元件，而且兩者之電特性也十分相像，不過一般而言 MOSFET 的閘極漏電流會比 JFET 小。圖 15 是 NMOS 在飽和區的典型轉換特性曲線，和圖 8 類似。讀者也很容易可以發現 JFET 在沒加偏壓($V_{GS}=0$)時是導通的，而 NMOS 在沒加偏壓時是不導通的。通常我們稱前者為空乏型(depletion mode)FET，因為要改變現有導通的狀況，必須在閘極施加偏壓，使得通道被”空乏”掉；後者則稱為增強型(enhancement mode)FET，因為要改變現有導通的狀況，必須在閘極施加偏壓，使得通道被”增強”出來。MOSFET 也可以設計成空乏型的元件，只要製作時在靠近介面的半導體中直接摻雜製作出通道，例如 NMOS 就加入 n 型摻雜即可，如此在沒閘極偏壓時元件是在導通的狀態。JFET 則無法做出增強型的元件。

圖 15 NMOS 在飽和區的典型轉換特性曲線。

p 通道 MOSFET (簡稱 PMOS) 原理和 NMOS 相同，但偏壓及電流方向則相反。PMOS 的主要導通載體為帶正電的電洞，因此閘極必須加上足夠負，或比臨界電壓小的電壓，才能夠在通道區吸引足夠的電洞形成反轉層，使源極和汲極導通。電洞是由源極，經通道，流向汲極，電流方向也是一樣，故源極的電位應較汲極低。

3 場效電晶體的應用

FET 和 BJT 一樣，可以用作開關或放大器，利用閘極的電壓訊號，控制源極和汲極間的電流。JFET 和 MOSFET 使用的場合略有不同。JFET 可用作類比開關及訊號放大器，特別是低雜訊的放大器，但很少用在數位電路中的邏輯運算及功率放大器；MOSFET 用途較廣，除一般的開關、訊號放大及功率放大器外，在數位電路及記憶體等大型積體電路(VLSI, 下一節會介紹)方面，都是 MOSFET 的天下，特別是將 NMOS 及 PMOS 製作在同一晶圓，稱做 CMOS(complementary MOS)的技術，或稱互補式金氧半電晶體技術。

FET 應用在類比訊號放大器的設計方法和 BJT 相當類似。對應 BJT 的共射極、共基極和共集極的接法，FET 也有共源極、共閘極和共汲極的接法。FET 的汲極不能當作輸入端，閘極不能當輸出端，和 BJT 集極與基極的限制也一樣。FET 應該偏壓在飽和區 (或恆流區)，閘極的電訊號疊加在原來之直流偏壓電壓上，造成輸出電流 I_D 的變化。細節這裡就不再介紹。

有關 MOSFET 在數位電路的應用，我們這裡介紹兩個簡單且具有代表性的

電路，一個是 CMOS 的反閘 (NOT gate)，他是一種數位邏輯閘 (logic gate)，功用是輸入是數位訊號”1”時，輸出是”0”；數入是”0”時，輸出是”1”。另一個是電腦必備的動態隨機存取記憶體(dynamic random-access memory, DRAM)的一個記憶胞(memory cell)，就是一個能夠記憶”1”或”0”的電路單元。

CMOS 反閘

反閘是一個很基礎的邏輯運算，可以用 BJT 來做，也可以用 NMOS 來做，但均不如 CMOS 的電路來的簡潔，而且以功率消耗而言，CMOS 電路更是優越。

圖 16 (a)是一個由 NMOS 和 PMOS 串接的一個 CMOS 電路，二者閘極連結在一起當作輸入端 v_I ，汲極接在一起做輸出端 v_O ，提供電路兩端 5V 的直流電源。假設 NMOS 的臨界電壓是 2V，而 PMOS 的是 -2V。當輸入端為邏輯訊號”0”，即電壓訊號 0V，對 NMOS 而言， $V_{GSN}=0V < V_{th}=2V$ ，在截止區，沒有電流通過；對 PMOS 而言， $V_{GSP}=-5V < V_{th}=-2V$ ，在導通狀態，但通過的電流為 0，故在線性區，且 PMOS 源極和汲極間的電位降為 0，故輸出電壓 v_O 為 5V，相當於邏輯訊號”1”。

圖 16 (a)一個由 NMOS 和 PMOS 串接的一個 CMOS 反閘電路，(b) v_O 對 v_I 的轉換特性曲線。

當輸入端為邏輯訊號”1”，即電壓訊號 5V，對 PMOS 而言， $V_{GSP}=0V > V_{th}=-2V$ ，在截止區，沒有電流通過；對 NMOS 而言， $V_{GSN}=5V > V_{th}=2V$ ，在導通狀態，但通過的電流為 0，故在線性區，且 NMOS 源極和汲極間的電位降為 0，故輸出電壓 v_O 為 0V，相當於邏輯訊號”0”。

圖 16(b)是這個電路 v_O 對 v_I 的轉換特性曲線，圖中可以看出輸入在 0V 附近一定範圍輸出為 5V，輸入在 5V 附近則輸出為 0V，合乎反閘的邏輯運算要求。另外有一點要注意的，當輸入無訊號變化時，也就是電晶體並無改變導通之狀態，通過兩個電晶體的電流均為 0，故沒有功率損耗。功率損耗只發生在輸入有”0”和”1”之間變化的時候。

動態隨機存取記憶體

DRAM 是由矩陣式排列的記憶胞組成，一個 DRAM 的晶片上會有很多矩陣，只要適當的安排地址，就很容易可以直接找到對應的記憶胞。所謂”隨機存取”，是相對於早期，例如磁帶類型的記憶元件，必須依序一個個的把記憶取出的方式。”動態”的意義則是指這個記憶體必須常常去”更新”或”提醒”(refresh)，也就是記憶不太好，記憶時間太長會容易有錯誤。

DRAM 的記憶胞基本上就是一個電容加上一個控制充放電及讀取的電晶體開關，如圖 17 (a)所示。這裡用的是 NMOS，但是源極和汲極並沒特別標出，主要原因是他是用作雙向開關，電流可以流入或流出電容。每一個記憶胞會外接兩條線，一條是控制閘極的稱字線(word line)，加上正電壓時可以選擇同一行的記憶胞（同一個字的不同位元），將他們的 NMOS 開關導通；另一條接到源/汲極

的稱為位元線(bit line)，用來”寫”或”讀”資料到記憶胞中。所謂”寫”資料，是指當控制開關導通時，電容可以充電或放電，使得位元線的電壓訊號和電容兩端的電壓是一樣的。當控制開關不導通，電容便維持（記憶）他被”寫”入的電位，通常高電位為數位資料”1”，接近 0V 的電位為數位資料”0”。要”讀”的時候，將控制開關打開，這時位元線則接到一個類似電位計的電路，即可讀出電容儲存的訊號。由於電路中的電容的正負電極間有漏電流，經一段時間就必須”更新”一下資料。

圖 17 (a)DRAM 的一部份，虛線框起來的是一個基本記憶胞；(b) 一個 DRAM 的記憶胞可以類比成容器和閥的系統，電容相當於裝水的容器，NMOS 開關就相當於水閥。

一個 DRAM 的記憶胞可以類比成如圖 17 (b)的容器和閥的系統，電容相當於裝水的容器，水位到一定的高度就當作”1”，幾乎沒水就是”0”。NMOS 開關就相當於水閥，控制水是否流通。要寫入”1”時就將閥門打開，水加適當的壓力注入容器，寫”0”則將水放掉。到讀記憶的資料，就將閥打開，讀一下水壓即可。

圖 1

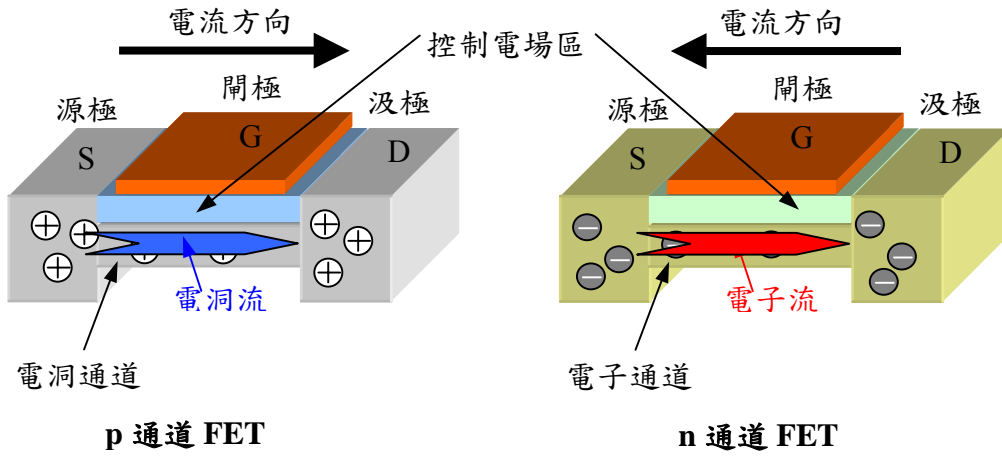


圖 2

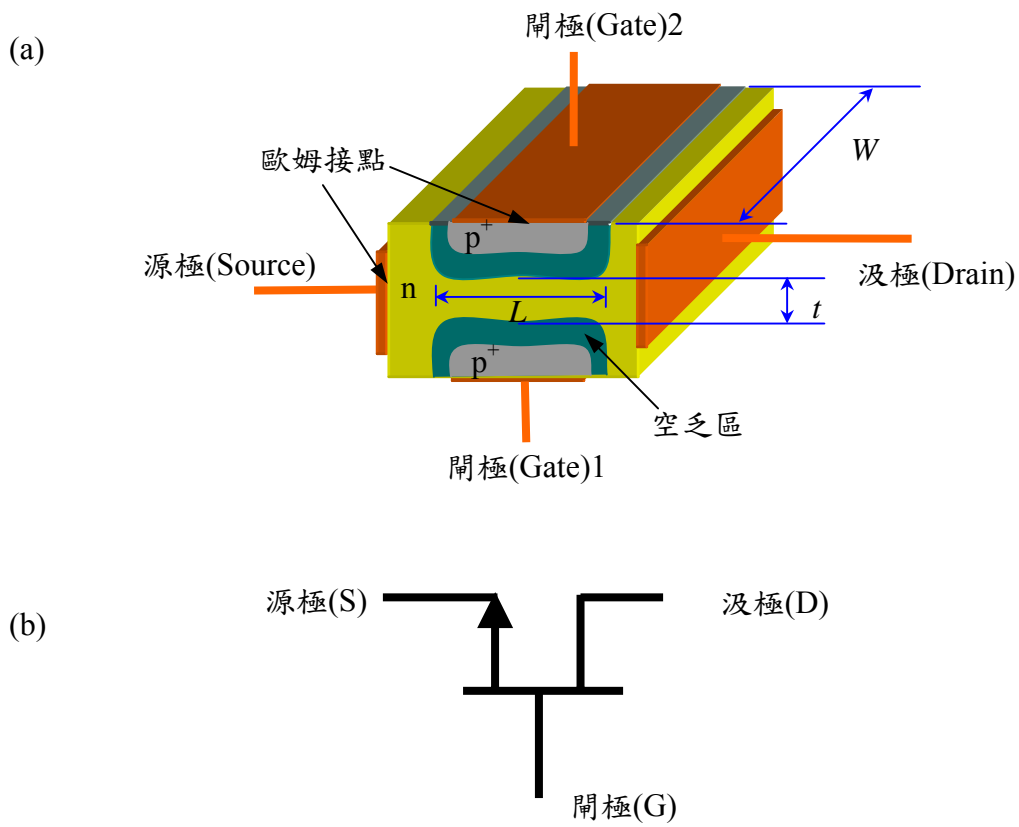


圖 3

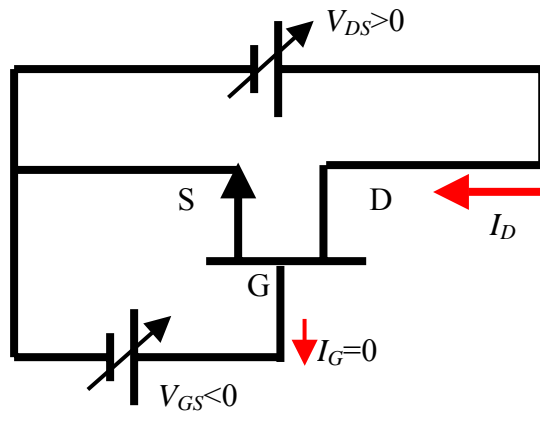


圖 4

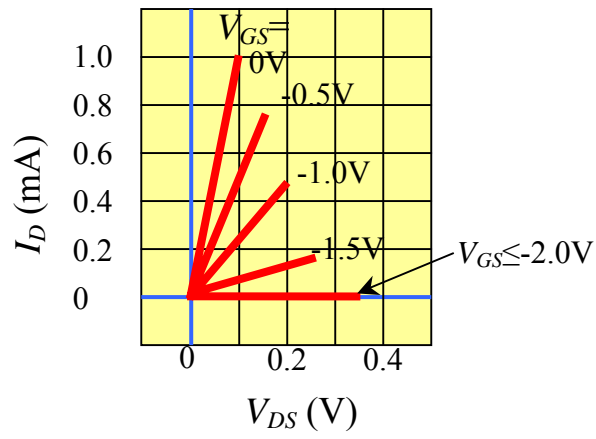


圖 5

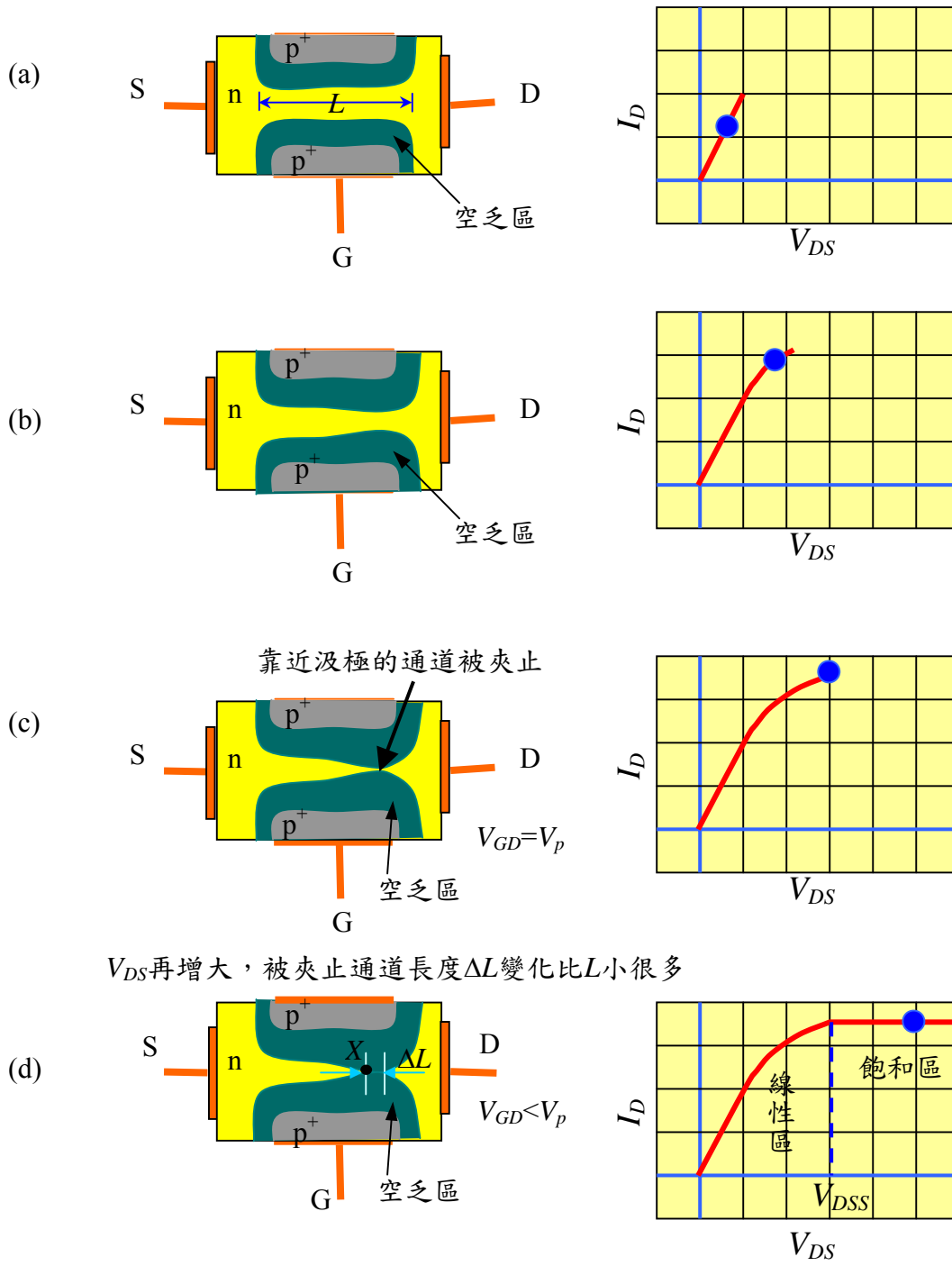


圖 6

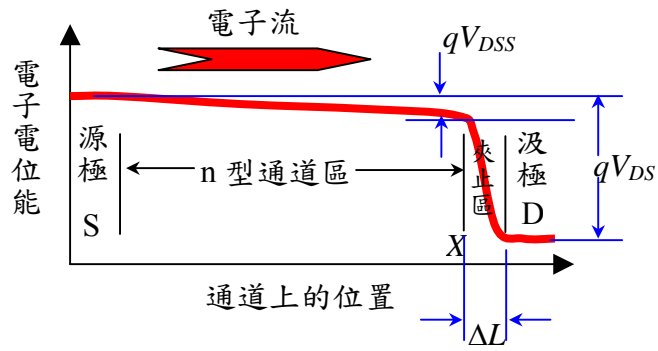


圖 7

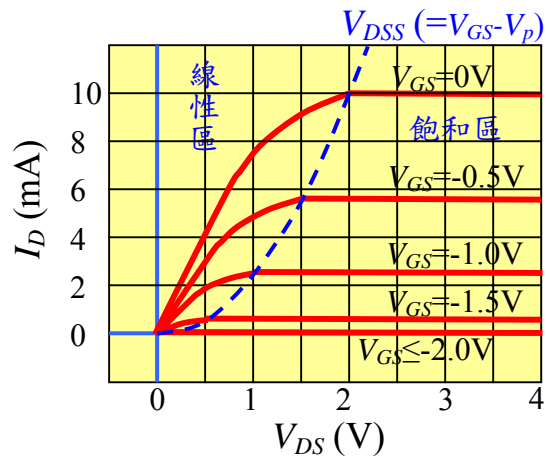


圖 8

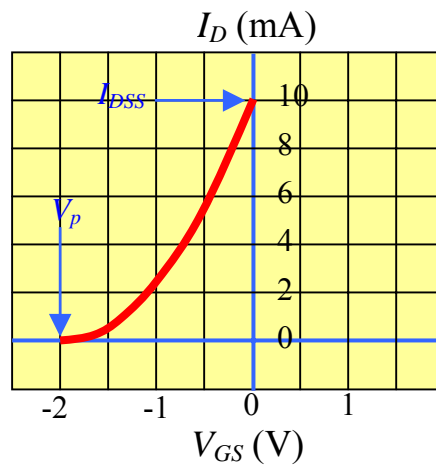


圖 9

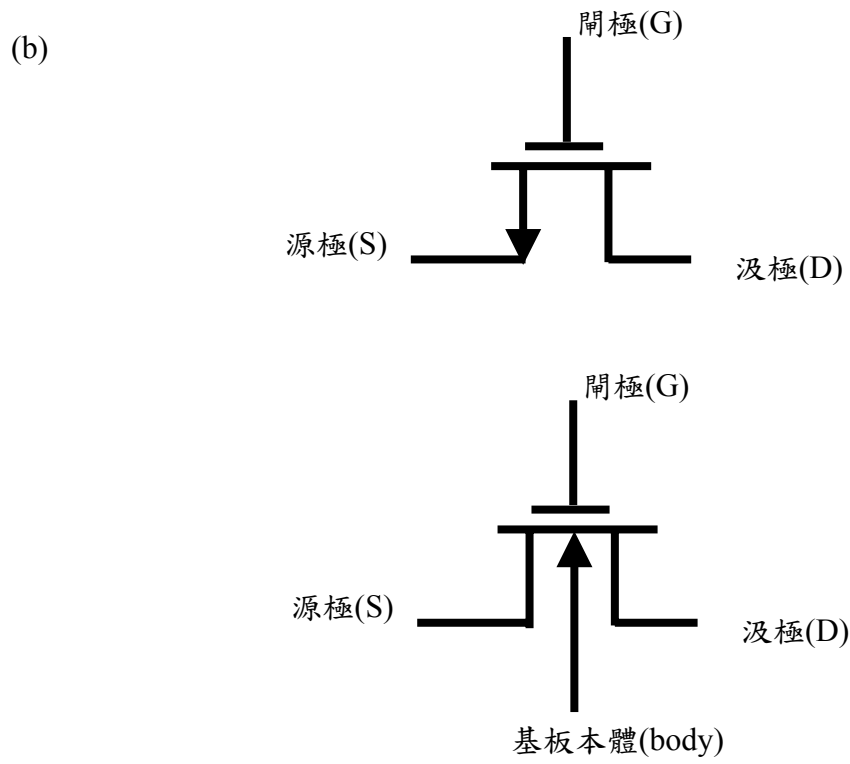
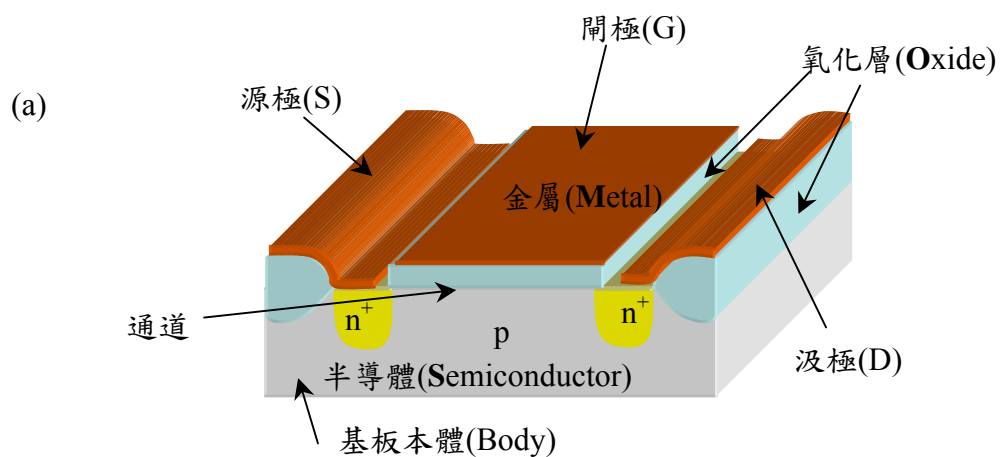
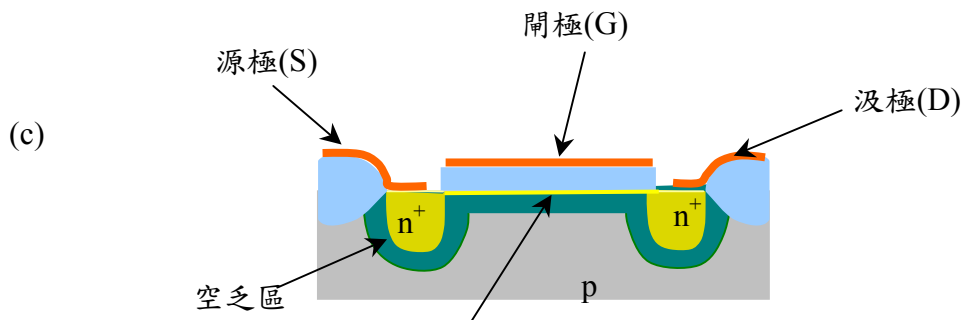
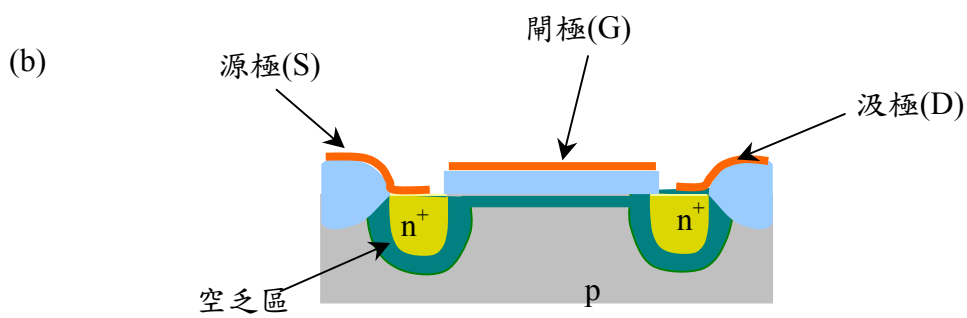
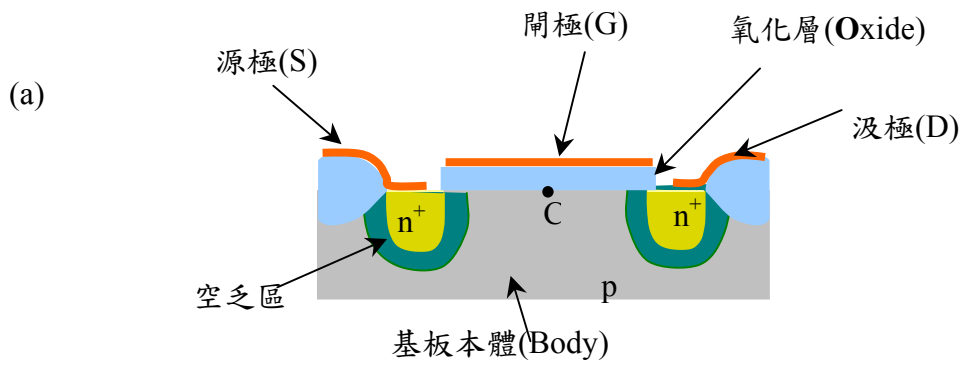
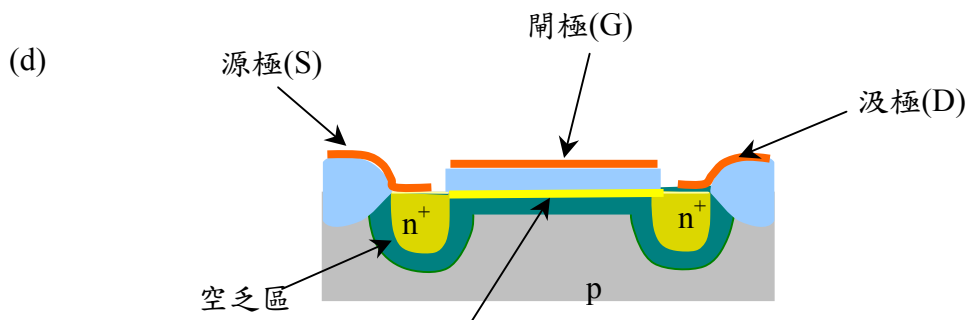


圖 10



當 $V_{GS} = V_{th}$ ，反轉層開始形成，導電電子開始累積在介面



當 $V_{GS} > V_{th}$ ，空乏區幾乎沒有變化，累積在介面的導電電子密度正比於 $V_{GS} - V_{th}$ 。

圖 11

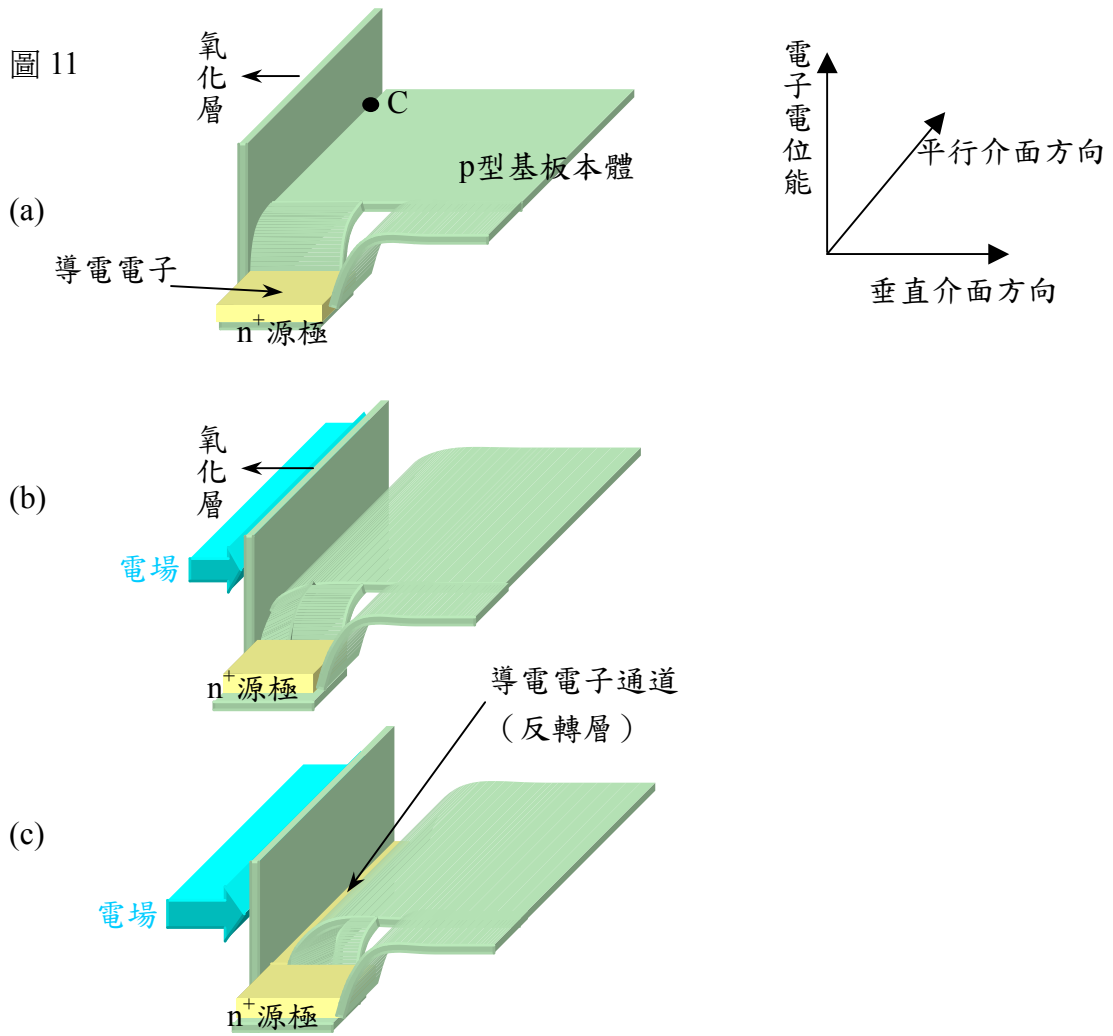


圖 12

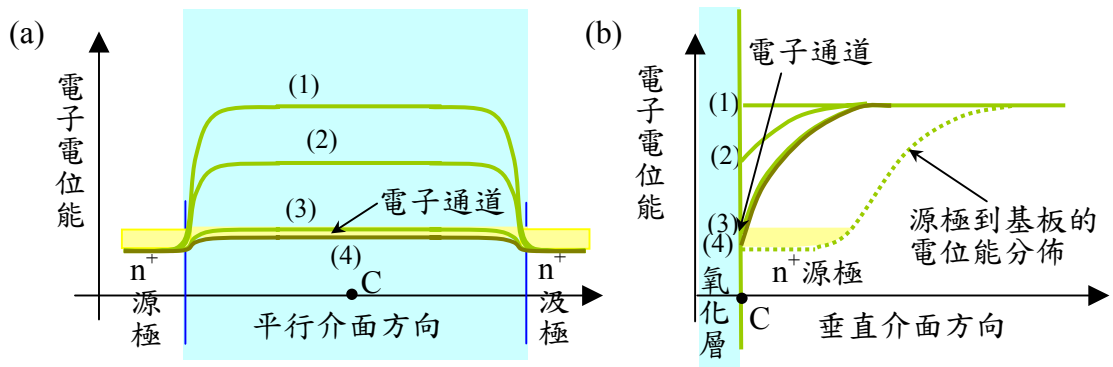


圖 13

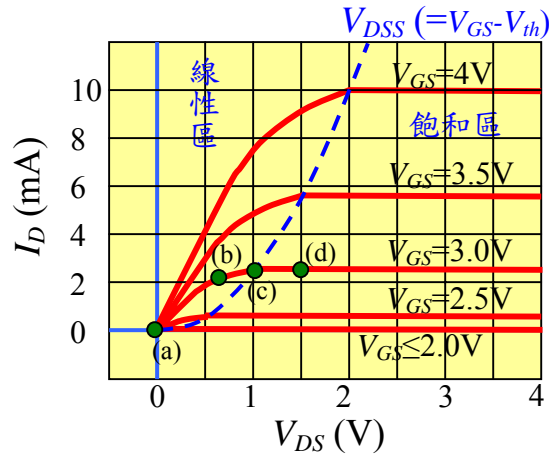


圖 14

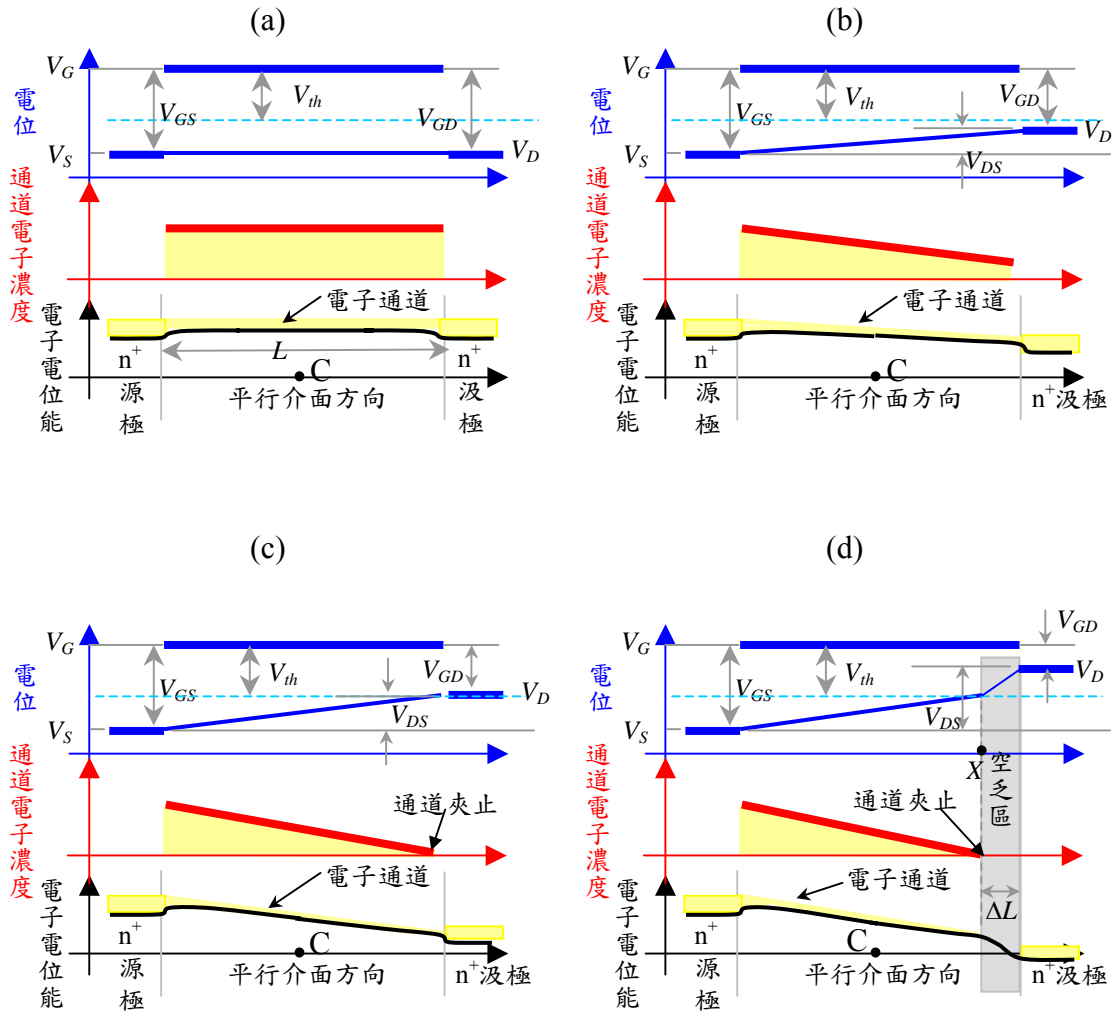


圖 15

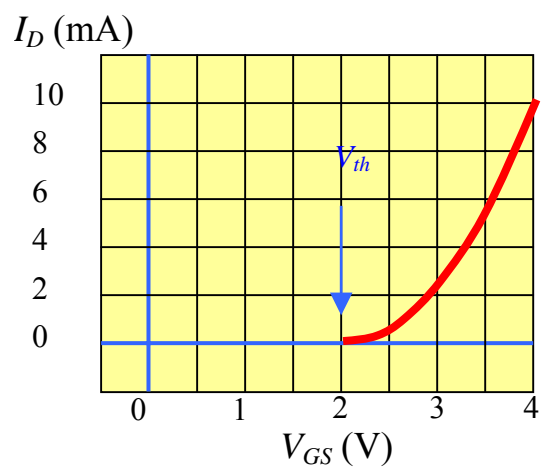


圖 16

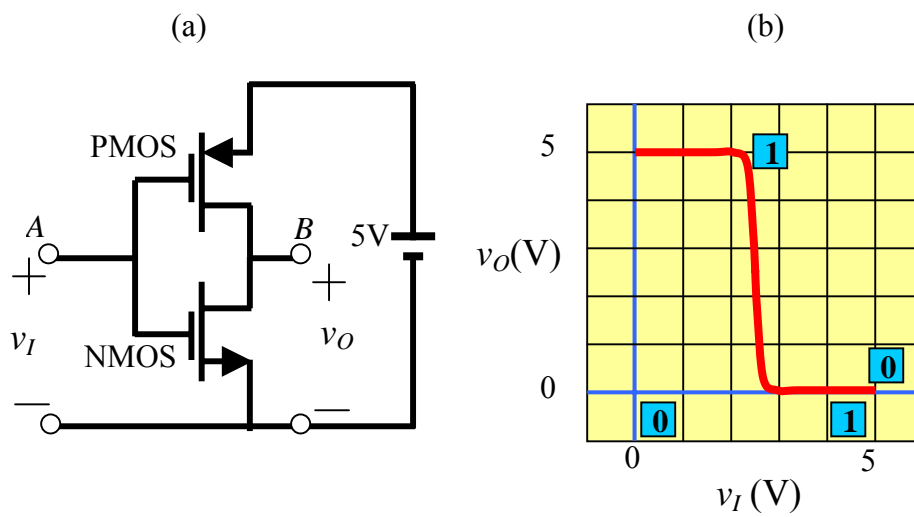
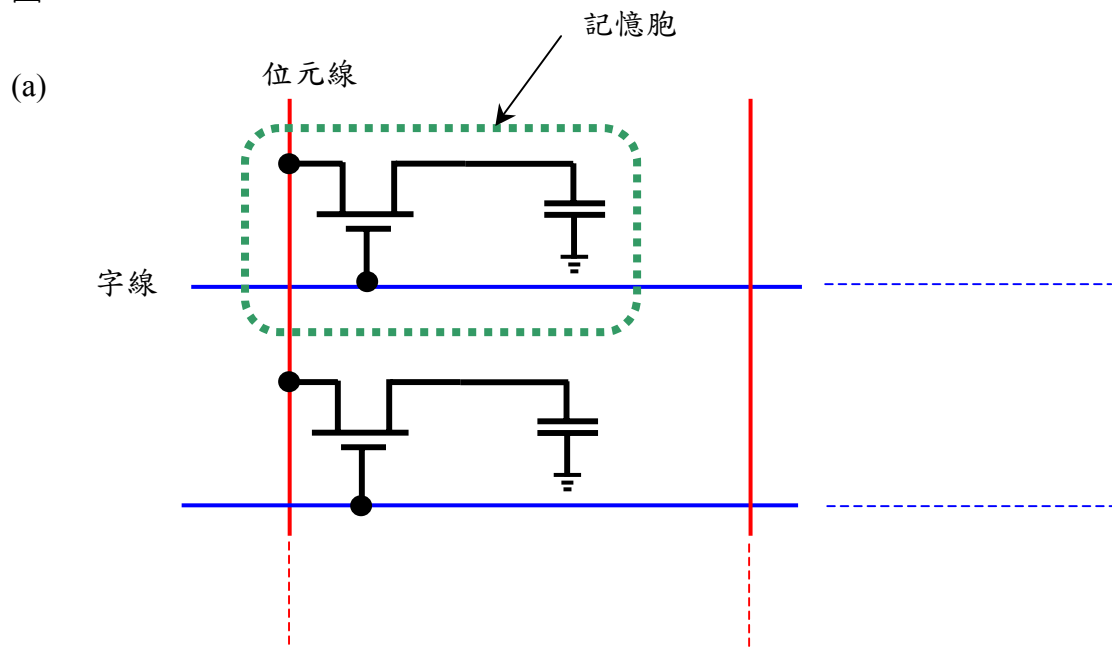


圖 17



(b)

